

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012825

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/82
H01L 21/8234
H01L 27/088

(21)Application number : 08-165469

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 26.06.1996

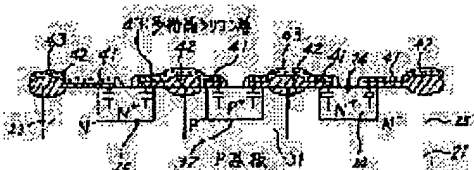
(72)Inventor : MASUDA HIROHISA
TASHIRO MASAHISA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To absorb power supply noise by using only an existing region, by obtaining decoupling by arranging a polycrystalline silicon film reaching P+ active regions exclusively for power supply/grounding, in an unit cell of a semi-custom LSI.

SOLUTION: A polycrystalline silicon film 43 is formed reaching P+ active regions 24, 32 exclusive for power supply/grounding in all unit celles, and MOS capacitance is constituted. That is, decoupling capacitance is obtained by arranging the polycrystalline silicon film 43 on a diffusion layer having a substrate potential. Thereby power supply noise can be restrained. From the above constitution, large coupling capacitance can be obtained by changing only the polycrystalline silicon film 43 as a substratum layer of an existing semi-custom LSI, and using a vacant region that have been not used, without affecting a wiring layer at all and causing demerit to the existing semi-custom LSI.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12825

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁶	識別記号	片内整理番号	FI	技術表示箇所
H01L 27/04			H01L 27/04	C
21/822			21/82	P
21/82			27/04	H
21/8234			27/08	102F
27/088				

審査請求 未請求 請求項の数5 OL (全6頁)

(21) 出願番号 特願平8-165469

(22) 出願日 平成8年(1996) 6月26日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 益田 裕久

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 田代 雅久

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

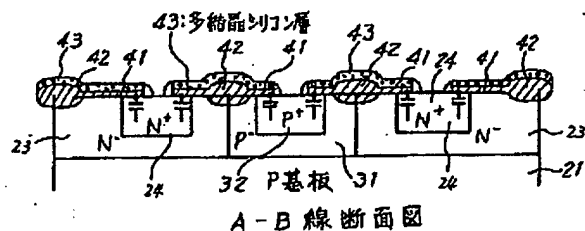
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 特別な面積を必要とせず、既存の領域のみで電源ノイズを吸収することができるデカップリング容量を有する半導体集積回路装置を提供する。

【解決手段】 全てのユニットセルの電源/GND専用のアクティブ領域23、32にかかるように多結晶シリコン層43を形成して、MOS容量を構成する。つまり、基板電位をとる拡散層上に多結晶シリコン層43を配置することにより、デカップリング容量を得る。したがって、電源ノイズを抑えることができる。



【特許請求の範囲】

【請求項1】 セミカスタムLSIのユニットセルにおいて、電源/GND専用のP⁺ アクティブ領域にかかるように多結晶シリコン層を配置してデカップリング容量を得ることにより、電源ノイズを抑えることを特徴とする半導体集積回路装置。

【請求項2】 セミカスタムLSIにおいて、パッドとその外側の空き領域を使ってLSIチップ全体を一周するように多結晶シリコン配線を3本隣接して配置して多結晶シリコン配線のMOS容量とフリンジング容量を得ることにより、電源ノイズを吸収することを特徴とする半導体集積回路装置。

【請求項3】 セミカスタムLSIにおいて、LSIチップコーナー部に多結晶シリコン配線を配置してデカップリング容量を得ることにより、電源ノイズを抑えることを特徴とする半導体集積回路装置。

【請求項4】 セミカスタムLSIにおいて、LSIチップのコア部を一周するように電源リング幹線を配置し、該電源リング幹線領域を使用して多結晶シリコン配線を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることを特徴とする半導体集積回路装置。

【請求項5】 セミカスタムLSIにおいて、LSIチップのパッド領域部に多結晶シリコン配線を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、セミカスタムLSIの電源ノイズ吸収機能を有する半導体集積回路装置に関するものである。

【0002】

【従来の技術】 一般に、従来の半導体集積回路装置は、LSIチップのコア部とI/O部の間の各辺に専用配置領域を設け、MOSでデカップリング容量を構成し、電源ノイズを吸収するように構成している。図14はかかる従来のセミカスタムLSIのユニットセルの平面図である。

【0003】 この図において、1は1つ分のユニットセルを示しており、P形トランジスタ2とN形トランジスタ11からなり、P形トランジスタ2には、基板電位をとるためのN⁻ 拡散層3が形成されている。4はそのN⁻ 拡散層3内のN⁺ アクティブ領域、5はP形基板、6はNウェル、7はゲート、8はP⁻ 拡散層、9はそのP⁻ 拡散層8内のP⁺ アクティブ領域、10はVDD配線である。

【0004】 一方、N形トランジスタ11には、基板電位をとるためのP⁻ 拡散層12が形成されている。13はそのP⁻ 拡散層12内のP⁺ アクティブ領域、14はN⁻ 拡散層、15はN⁻ 拡散層14内のN⁺ アクティブ

領域、16はゲート、17はVss配線である。

【0005】

【発明が解決しようとする課題】 しかしながら、電源ノイズを吸収することができるようなデカップリング容量を構成するには、LSIチップ上に大きな面積を必要とする。また、セミカスタムLSIのような、LSIチップの高集積度化を図ることが大切な要素の一つとなっている分野では、このような面積を特別に設けることは、LSIチップに搭載できるゲートが少なくなり、大きな問題となる。

【0006】 そこで、本発明は、特別な面積を必要とせず、既存の領域のみで電源ノイズを吸収することができるデカップリング容量を有する半導体集積回路装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、上記目的を達成するために、

【1】 セミカスタムLSIのユニットセルにおいて、電源/GND専用のP⁺ アクティブ領域にかかるように多結晶シリコン層を配置してデカップリング容量を得ることにより、電源ノイズを抑えるようにしたものである。

【0008】 このように、既存セミカスタムLSIの下地層である多結晶シリコン層を変更するのみで配線層に全く影響を与えず、かつ、今まで未使用であった空き領域を使用することで、特に、既存セミカスタムLSIにとってデメリットにはならず、大きなデカップリング容量を得ることができ、電源ノイズを抑えることができる。

【0009】 【2】 セミカスタムLSIにおいて、パッドとその外側の空容量を使ってLSIチップ全体を一周するように多結晶シリコン配線を3本隣接して配置して、多結晶シリコン配線のMOS容量とフリンジング容量を得ることにより、電源ノイズを吸収するようにしたものである。このように、第2の多結晶シリコン配線のMOS容量と、第2の多結晶シリコン配線と第1の多結晶シリコン配線間、第2の多結晶シリコン配線と第3の多結晶シリコン配線間のフリンジング（隣接）容量によって、大きなデカップリング容量を得ることができ、電源ノイズを抑えることができる。

【0010】 【3】 セミカスタムLSIにおいて、LSIチップコーナー部に多結晶シリコン配線を配置して、デカップリング容量を得ることにより、電源ノイズを抑えるようにしたものである。このように、LSIチップコーナー部に、多結晶シリコン配線を配置することにより、デカップリング容量を得ることができ、電源ノイズを抑えることができる。

【0011】 【4】 セミカスタムLSIにおいて、LSIチップのコア部を一周するように電源リング幹線を配置し、この電源リング幹線領域を使用して多結晶シリコン配線を配置し、デカップリング容量を得ることによ

3

り、電源ノイズを抑えるようにしたものである。このように、セミカスタムLSIにおいて、LSIチップのコア部を一周するように電源リング幹線を配置し、この電源リング幹線領域を使用して多結晶シリコン配線を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることができる。

【0012】〔5〕セミカスタムLSIにおいて、LSIチップのパッド領域部に、多結晶シリコン配線を配置し、デカップリング容量を得ることにより、電源ノイズを抑えるようにしたものである。このように、セミカスタムLSIにおいて、LSIチップのパッド領域部に、アクティブ領域及び多結晶シリコン層を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。図1は本発明の第1実施例を示すセミカスタムLSIのユニットセルの平面図、図2は図1のA-B線断面図、図3はその等価回路図である。これらの図において、20はP形トランジスタであり、21はP形基板、22はNウェル、24はN⁻拡散層23内のN⁺アクティブ領域、25はP⁻拡散層、26はそのP⁻拡散層25内のP⁺アクティブ領域、27はゲート、28はVDD配線である。

【0014】また、N形トランジスタ30には、31はP⁻拡散層、32はそのP⁻拡散層31内のP⁺アクティブ領域、33はN⁻拡散層、34はそのN⁻拡散層33内のN⁺アクティブ領域、35はゲート、36はV_s配線である。そこで、全てのユニットセルの電源/GND専用のアクティブ領域24、32にかかるように、多結晶シリコン層43を形成してMOS容量を構成する。つまり、基板電位をとる拡散層上に多結晶シリコン層43を配置することにより、デカップリング容量を得る。したがって、電源ノイズを抑えることができる。なお、図2において、41はゲート酸化膜、42はフィールド酸化膜である。

【0015】このように、P⁺アクティブ領域32と多結晶シリコン膜43間、N⁺アクティブ領域23と多結晶シリコン層43間にMOS容量が形成される。そして、フィールド酸化膜42上の多結晶シリコン層43が、この両MOS容量を橋渡しする役目をするので、図3に示すように、2つのMOS容量を直列接続された形のデカップリング容量が構成される。

【0016】このように構成したので、第1実施例においては、既存セミカスタムLSIの地下層である多結晶シリコン層を変更するのみで、配線層に全く影響を与えず、かつ、今まで未使用であった空き領域を使用することで、特に、既存セミカスタムLSIにとってデメリットにはならず、大きなデカップリング容量を得ることができる。

4

【0017】したがって、セミカスタムLSIのユニットセルにおいて、電源/GND専用のP⁺アクティブ領域にかかるように多結晶シリコン層を配置して、デカップリング容量を得ることにより、電源ノイズを抑えることができる。次に、本発明の第2実施例について説明する。図4は本発明の第2実施例を示すセミカスタムLSIのチップの概略平面図、図5はそのセミカスタムLSIのチップのコーナー部(A部)の拡大概略平面図、図6は図5のB部拡大平面図である。

【0018】図4において、コア部51、I/O部52、コーナー部(A部)53、電源リング幹線54、隣接する3本の多結晶シリコン配線55からなる。図5に示すように、パッド56、57(VDDに接続されるパッド56、GNDに接続されるパッド57)と、そのパッドの間の空き領域を使って、チップ全体を一周するように隣接する3本の多結晶シリコン配線55を最小配線間隔で配置する。

【0019】図6に示すように、隣接する3本の多結晶シリコン配線、つまり、第1の多結晶シリコン配線55A、第2の多結晶シリコン配線55B、第3の多結晶シリコン配線55Cと、パッド56、57から引かれる1層配線61、63を示した。なお、62、64はコンタクト、65はNウェルである。その構成を以下に説明する。

【0020】レイアウトシステムにより、配線工程でVDD/GNDセルが配置される。その後、自動でVDDセルが置かれると、第2の多結晶シリコン配線55Bに1層配線61とコンタクト62で接続される。また、GNDセルが置かれると、第1の多結晶シリコン配線55Aと第3の多結晶シリコン配線55Cに、1層配線63とコンタクト64で接続される。なお、第2の多結晶シリコン配線55Bの下はN⁺アクティブ領域が置かれ、第1の多結晶シリコン配線55Aと第3の多結晶シリコン配線55Cの下にはP⁺アクティブ領域が置かれ、かつ、Nウェルで基板を分離する。

【0021】以上の構成によりMOS容量を得る。このように構成したので、第2実施例においては、第2の多結晶シリコン配線55BのMOS容量と、第2の多結晶シリコン配線55Bと第1の多結晶シリコン配線55A間、第2の多結晶シリコン配線55Bと第3の多結晶シリコン配線55C間のフリンジング(隣接)容量によって、大きなデカップリング容量を得ることができる。

【0022】したがって、セミカスタムLSIにおいて、パッドとその外側の空き領域を使ってLSIチップ全体を一周するように多結晶シリコン配線55A、55B、55Cを3本隣接して配置して、多結晶シリコン配線のMOS容量とフリンジング容量を得ることにより、電源ノイズを吸収することができる。次に、本発明の第3実施例について説明する。

【0023】図7は本発明の第3実施例を示すセミカス

5

タムLSIのチップの概略平面図、図8はそのセミカスタムLSIのチップのコーナー部(A部)の拡大概略平面図、図9は図8のコーナー部(C部)の更なる拡大平面図である。セミカスタムLSIの概略構成、また、そのセミカスタムLSIのチップのコーナー部(A部)の概略構成は、第2実施例と同様であるので、同一部分には同じ符号を付してそれらの説明は省略する。

【0024】図9に示すように、固定のVDDパッド71からNウェル72を囲むように、1層配線73で囲んだところに、コンタクト74でP⁺アクティブ領域78に接続する。また、固定のGNDパッド75から2層配線76を引きコンタクト74と第2スルーホール(VIA2)79で多結晶シリコン層77に接続する。なお、この多結晶シリコン層77の下はP⁺アクティブ領域78が置かれ、かつ、Nウェル72で基板を分離する。

【0025】このように、セミカスタムLSIにおいて、LSIチップコーナー部に多結晶シリコン配線を配置して、デカップリング容量を得ることにより、電源ノイズを抑えることができる。以上の構成により、MOS容量を得ることができる。次に、本発明の第4実施例について説明する。

【0026】図10は本発明の第4実施例を示すセミカスタムLSIのチップの概略平面図、図11はそのセミカスタムLSIのチップのD部(電源リング幹線部)の拡大概略平面図である。図10に示すセミカスタムLSIの概略構成は第2実施例と同様である。同じ部分については同じ符号を付してそれらの説明は省略する。

【0027】第2実施例及び第3実施例と同様にして、電源リング幹線54領域の下層に、図11に示すように、アクティブ層81を形成し、その上を多結晶シリコン層82で覆うことにより、MOS容量を得る。なお、83はVDD配線、84はGND配線である。このように、セミカスタムLSIにおいて、LSIチップのコア部51を一周するように電源リング幹線54を配置し、この電源リング幹線54領域を使用して多結晶シリコン配線を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることができる。

【0028】また、第2実施例、第3実施例及び第4実施例と同様にして、I/O部52の領域の下層にアクティブ層を形成し、その上に多結晶シリコン層を覆うことによりMOS容量を得るようにすることができる。次に、本発明の第5実施例について説明する。図12は本発明の第5実施例を示すセミカスタムLSIのチップの概略平面図、図13はそのセミカスタムLSIのチップのコーナー部の拡大概略平面図である。

【0029】図12に示すセミカスタムLSIの概略構成は、第2実施例と同様であり、同じ部分には同じ符号を付してそれらの説明は省略する。この実施例では、セミカスタムLSIにおいて、LSIチップのパッド91領域部に、多結晶シリコン層及びアクティブ領域92を

6

配置し、デカップリング容量を得ることにより、電源ノイズを抑えることができる。

【0030】このように、既存セミカスタムLSIで未使用であった、空き領域を使用することにより、大きなデカップリング容量を得ることができる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0031】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 請求項1記載の発明によれば、既存セミカスタムLSIの下地層である多結晶シリコン層を変更するのみで、配線層に全く影響を与えず、かつ、今まで未使用であった空き領域を使用することで、特に、既存セミカスタムLSIにとってデメリットにはならず、大きなデカップリング容量を得ることができ、電源ノイズを抑えることができる。

【0032】(2) 請求項2記載の発明によれば、第2の多結晶シリコン配線のMOS容量と、第2の多結晶シリコン配線と第1の多結晶シリコン配線間、第2の多結晶シリコン配線と第3の多結晶シリコン配線間のフリンジング(隣接)容量によって、大きなデカップリング容量を得ることができ、電源ノイズを抑えることができる。

【0033】(3) 請求項3記載の発明によれば、LSIチップコーナー部に多結晶シリコン配線を配置することにより、デカップリング容量を得ることができ、電源ノイズを抑えることができる。

(4) 請求項4記載の発明によれば、セミカスタムLSIにおいて、LSIチップのコア部を一周するように電源リング幹線を配置し、この電源リング幹線領域を使用して多結晶シリコン配線を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることができる。

【0034】(5) 請求項5記載の発明によれば、セミカスタムLSIにおいて、LSIチップのパッド領域部に、アクティブ領域及び多結晶シリコン層を配置し、デカップリング容量を得ることにより、電源ノイズを抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すセミカスタムLSIのユニットセルの平面図である。

【図2】図1のA-B線断面図である。

【図3】図2における部分の等価回路図である。

【図4】本発明の第2実施例を示すセミカスタムLSIのチップの概略平面図である。

【図5】本発明の第2実施例を示すセミカスタムLSIのチップのコーナー部(A部)の拡大概略平面図である。

【図6】図5のB部拡大平面図である。

7

8

【図7】本発明の第3実施例を示すセミカスタムLSIのチップの概略平面図である。

【図8】本発明の第3実施例を示すセミカスタムLSIのチップのコーナー部（A部）の拡大概略平面図である。

【図9】図8のコーナー部（C部）の更なる拡大平面図である。

【図10】本発明の第4実施例を示すセミカスタムLSIのチップの概略平面図である。

【図11】本発明の第4実施例を示すセミカスタムLSIのチップのD部（電源リング幹線部）の拡大概略平面図である。

【図12】本発明の第5実施例を示すセミカスタムLSIのチップの概略平面図である。

【図13】本発明の第5実施例を示すセミカスタムLSIのチップのコーナー部の拡大概略平面図である。

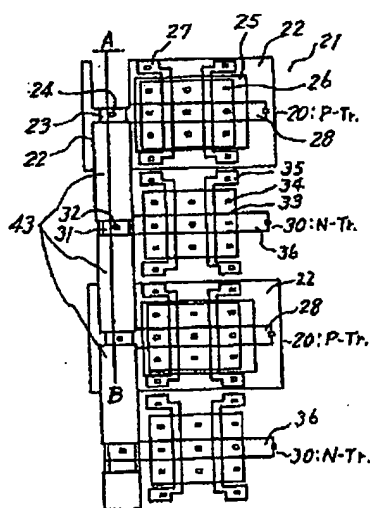
【図14】従来のセミカスタムLSIのユニットセルの平面図である。

【符号の説明】

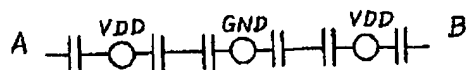
20 P形トランジスタ
21 P形基板
22, 24, 65, 72 Nウェル
23, 33 N⁻拡散層
24, 34 N⁺アクティブ領域
25 P⁻拡散層
26, 32, 78 P⁺アクティブ領域
27, 35 ゲート

28, 83 VDD配線
30 N形トランジスタ
31 P⁻拡散層
36 Vss配線
41 ゲート酸化膜
42 フィールド酸化膜
43, 77, 82 多結晶シリコン層
51 コア部
52 I/O部
53 コーナー部（A部）
54 電源リング幹線
55 多結晶シリコン配線
55A 第1の多結晶シリコン配線
55B 第2の多結晶シリコン配線
55C 第3の多結晶シリコン配線
56, 57 パッド
61, 63, 73 1層配線
62, 64, 74 コンタクト
71 VDDパッド
75 GNDパッド
76 2層配線
79 第2スルーホール（VIA2）
81 アクティブ層
83 VDD配線
84 GND配線
91 パッド
92 多結晶シリコン層及びアクティブ領域

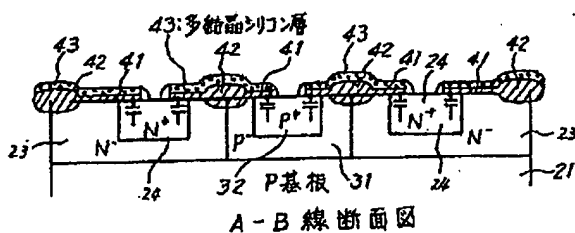
【図1】



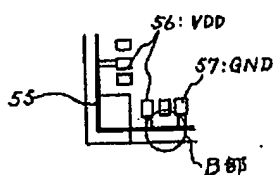
【図3】



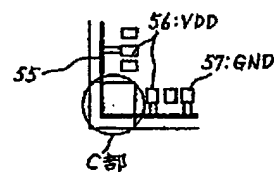
【図2】



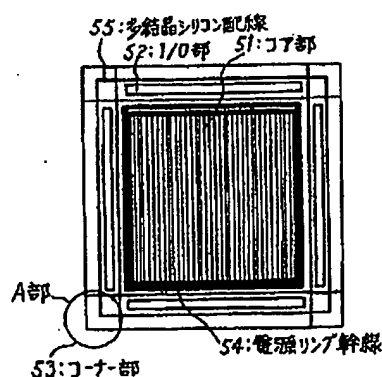
【図5】



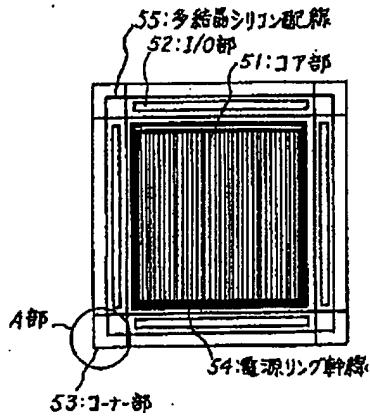
【図8】



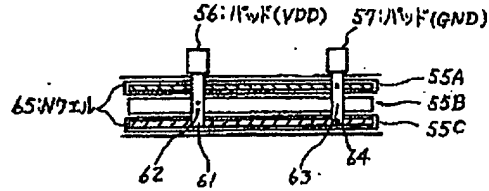
【図7】



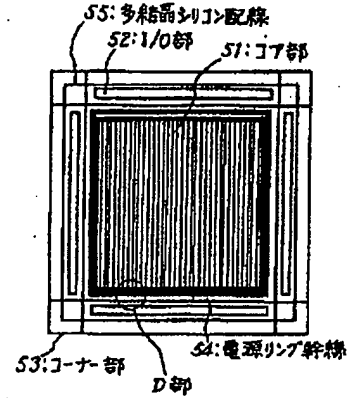
【図4】



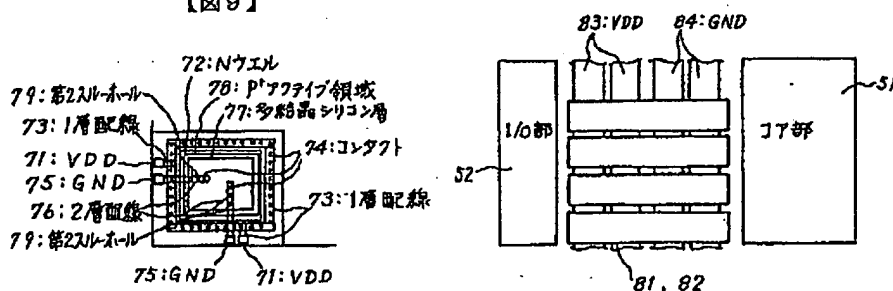
【図6】



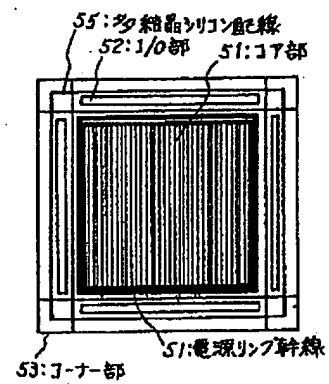
【図10】



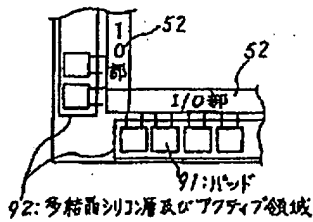
【図11】



【図12】



【図13】



【図14】

